

ナノメートルCMOSプロセスを用いた低電圧動作アナログスパイキングニューロン集積回路に関する研究

著者	田村 祐樹
雑誌名	東北大学電通談話会記録
巻	89
号	1
ページ	214-215
発行年	2020-08-31
URL	http://hdl.handle.net/10097/00129074

修士学位論文要約（令和 2 年 3 月）

ナノメートル CMOS プロセスを用いた低電圧動作 アナログスパイクングニューロン集積回路に関する研究

田村 祐樹

指導教員：佐藤 茂雄

Analog Spiking Neuron Integrated Circuit for Low Voltage Operation Using Nanometer CMOS Process

Yuki TAMURA

Supervisor: Shigeo SATO

The Izhikevich neuron model has attracted attention because it can reproduce various neural activities although it is described by simple differential equations and is expected to be applied to engineering. We proposed a new Izhikevich model neuron circuit based on the discrepancies between the Izhikevich neuron model and the Izhikevich model neuron circuit proposed by Wijekoon and Dudek in 2008, and investigated the dynamics of our proposed circuit by phase plane analysis and SPICE simulation. We successfully enlarged the bias voltage range for specific spikes and the power consumption of the proposed circuit was approximately 20 μ W. Moreover, we implemented the proposed circuit on an LSI chip using TSMC 65 nm CMOS technology. By LSI chip measurement, we successfully observed four types of spikes.

1. はじめに

AI 技術をはじめとした ICT 技術の発展に伴い、社会では高効率かつ低消費電力で、高度な情報処理システムの必要性が高まっている。そこで、生体の脳神経系の情報処理システムが大きな注目を集めている。脳神経系の情報処理システムは、低消費電力でありながら物体の識別や連想、補完といった非常に高度な情報処理を行える上に、学習を行うことで変動する環境にも対応することができるといった特長を持つ。そのような脳神経系の神経活動を、集積回路を用いて模倣することができれば、高度で低消費電力な情報処理システムを実現することが出来ると期待されている。そこで本研究の目的は、脳神経系ネットワークを模倣したハードウェアの実現を目指し、Izhikevich モデルのアナログニューロン回路を最先端の CMOS プロセスで実現し、小さな電源電圧で正確に動作させることである。

2. Izhikevich ニューロンモデル

Izhikevich が 2003 年に報告した Izhikevich ニューロンモデル¹⁾は、簡単な微分方程式で構成されながらも複雑な神経活動を再現できるモデルである。そのダイナミクスは式(1)~(3)で表現される。

$$\dot{v} = 0.04v^2 + 5v + 140 - u + I \quad (1)$$

$$\dot{u} = a(bv - u) \quad (2)$$

$$\text{if } v \geq 30 \text{ mV, then } \begin{cases} v \leftarrow c \\ u \leftarrow u + d \end{cases} \quad (3)$$

式(1)はニューロンの膜電位 v の時間変化を記述した微分方程式で、 u, I はそれぞれ回復変数とシナプス電流である。式(2)は u に関する微分方程式である。式(3)はリセット機構を表しており、 v が 30 mV に達すると、 v と u がそれぞれの c, d で指定する値にリセットされる。

3. 提案回路

Izhikevich モデルをアナログ回路で実現した先行研究が 2008 年に Wijekoon と Dudek によって報告されている(以下、先行研究回路)²⁾。先行研究回路と Izhikevich モデルの相違点を解消し、低電源電圧で安定な動作をさせるため、先行研究回路の改良を図った³⁾。図 1 に提案回路のブロック図を示す。提案回路は 24 個のトランジスタと 2 個のキャパシタから構成される。提案回路の数理モデルを式(4)~(5)に示す。

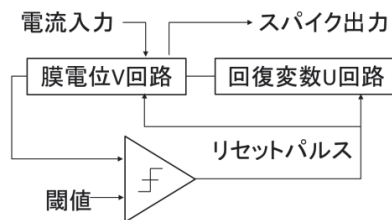


図 1 提案回路ブロック図

$$C_v * \dot{V} = \alpha(V - V_t)^2 - \beta \left\{ (1 - V_t)V - \frac{1}{2}V^2 \right\} \quad (4)$$

$$-\gamma \left[VF - V_t - \frac{n}{2}(V - U + 1) \right] (V + U - 1) + I$$

$$C_u * \dot{U} = \delta \left[VG - V_t - \frac{n}{2}V \right] (V - \varepsilon U) \quad (5)$$

V , U はそれぞれ膜電位 v , 回復変数 u に対応する. α , β , γ , δ , ε は MOS トランジスタのゲート幅とゲート長の比 W/L の関数であり, n , I はそれぞれスロープファクターとシナプス電流である.

4. ベクトル場比較及び SPICE シミュレーション

Izhikevich モデル及び先行研究回路, 提案回路のベクトル場の比較を行った. 電源電圧は 1.0 V とした. Izhikevich モデル及び先行研究回路, 提案回路のベクトル場とヌルクラインを図 2 に示す. 提案回路のベクトル場は Izhikevich モデルと概ね一致し, V のヌルクラインは先行研究回路よりも Izhikevich モデルに近付いた. また, SPICE シミュレーションを用いて提案回路の動作を検証した. 提案回路は Izhikevich モデルが示すスパイクのうち 6 種類の再現に成功した. 例として RS と CH について, Izhikevich モデルの時間変化を図 3(a), SPICE シミュレーションの結果を図 3(b)に示す. 提案回路は Izhikevich モデルと同様のスパイク波形を再現した. また, パラメータ電圧と再現したスパイクの関係を図 4 に示す. 先行研究回路に比べ, 特定のスパイクを再現するための電圧パラメータの幅が広がり, 低電源電圧における回路動作が安定した. この時の提案回路の消費電力は 20 μ W であり, 先行研究回路と同程度であった.

5. LSI チップ測定

提案回路を 65 nm の CMOS プロセスを用いて LSI チップに実装し, 測定を行った. 提案回路が SPICE シミュレーションにおいて示した 6 種類のスパイクのうち 4 種類の観測に成功した. 例として, RS と CH の時間変化を図 3(c)に示す. 但し, SPICE シミュレーション

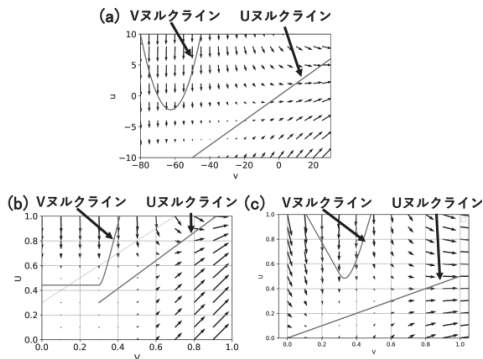


図 2 ベクトル場とヌルクライン
(a)Izhikevich モデル (b)先行研究回路 (c)提案回路

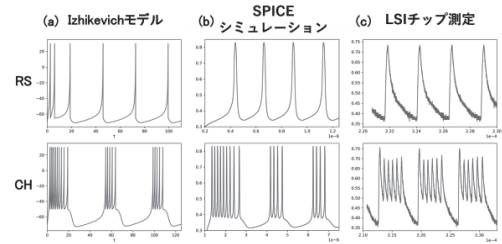


図 3 RS と CH の時間変化 (a)Izhikevich モデル
(b)SPICE シミュレーション (c)LSI チップ測定

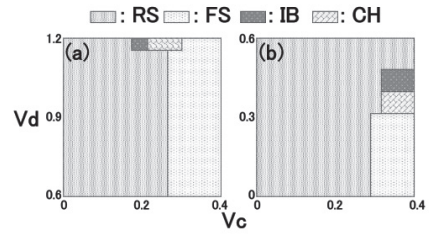


図 4 各スパイクとパラメータの関係
(a)先行研究回路 (b)提案回路

における RS と CH の時間変化と比較すると, 寄生容量の影響で V のリセット動作において遅延が生じた.

6. まとめ

本研究では, Izhikevich ニューロンモデルと先行研究である Izhikevich ニューロン MOS 回路の相違点をもとに新たな回路を提案し, LSI チップの実装を行った. 回路の改良により, 提案回路のダイナミクスはより Izhikevich モデルに近付き, 1.0 V という低電源電圧でも安定した動作が可能となった. さらに LSI チップの測定においても 4 種類のスパイクの再現に成功した. 回路の更なる低消費電力化に向け, 弱反転領域で安定動作するニューロン回路の検討が今後の課題となる.

文献

- 1) Eugene M. Izhikevich, "Simple model of spiking neurons," IEEE Trans. Neural Networks, vol. 14, no. 6, pp. 1569-1572, 2003.
- 2) Wijekoon, Jayawan HB, Piotr Dudek, "Compact silicon neuron circuit with spiking and bursting behavior," Neural Networks, vol. 21, pp. 524-534, 2008.
- 3) Y. Tamura, et al., "An Izhikevich model neuron mos circuit for low voltage operation," in Proc. 28th International Conference on Artificial Neural Networks(ICANN 2019), pp. 718 - 723, LNCS, 2019.